

XX

La leggibilità dell'elaborato costituisce elemento di valutazione.

Chi comunica per qualsiasi motivo con altri candidati subisce una penalizzazione di 10 punti al primo richiamo e viene escluso dalla prova al secondo richiamo. Tempo: 2h:30'

1. Si progetti **l'architettura RTL** e il **diagramma ASM della control unit**, di un sistema digitale che implementa la seguente specifica:

ingressi a 8 bit: A(7:0), B(7:0)

ingressi a 1 bit: CK (segnale di clock), Reset, STROBE

uscite a 1 bit: OKA, OKB,

Ad ogni ciclo di clock, il sistema monitora il segnale STROBE. Quando STROBE='1', il sistema esegue la seguente specifica:

Se $A+B < 3$ allora

OKA *attivo* dal ciclo di clock successivo a quello in cui STROBE = 1;

altrimenti

OKB *attivo* dal ciclo di clock successivo a quello in cui STROBE = 1;

Quando uno dei segnali OKA, OKB e' *attivo* significa che esso deve stare a '1' per 16 cicli di clock. Durante tale periodo di tempo il sistema ignora gli ingressi.

2. Si sintetizzino a livello logico le reti sequenziali che realizzano la control unit del sistema specificata al punto 1. Si richiede lo schema completo a livello di gate.

3. Si illustri una architettura a microprocessore dotata di bus dati a 8 bit, bus indirizzi a 16 bit, e mappa di memoria organizzata con:

- memoria RAM nella regione da A000hex a FFFFhex,

- unità di I/O (memory mapped) dotata di 64 locazioni interne da 8 bit mappate a partire dall'indirizzo di memoria 0000hex.

- memoria EEPROM nella regione da 8000hex a 9FFFhex,

Si hanno a disposizione chip di RAM da 4Kx8 bit, EEPROM da 4Kx8 bit.

Si richiede lo schema dettagliato di tutti i collegamenti (usare **un foglio intero**) inclusi **tutti** i segnali di controllo.

4. Si illustri l'utilizzo dei componenti Tri-state Buffer.