

Elementi di progettazione dei sistemi VLSI

Volume II: Architetture circuiti e metodi

ERRATA CORRIGE

NB: sono omesse le correzioni ortografiche evidenti ed irrilevanti per la comprensione del contenuto

- pag. 57, 1^{ma} riga dal basso : *punto e virgola mancante in uno statement VHDL:*
errata: SIGNAL pluto: BIT_VECTOR (0 TO 3)
corrigge: SIGNAL pluto: BIT_VECTOR (0 TO 3);
- pag. 58, 10^{ma} riga dal basso : *punto e virgola mancante in uno statement VHDL:*
errata : ARRAY (31 DOWNTO 0) OF std_logic
corrigge : ARRAY (31 DOWNTO 0) OF std_logic;
- pag. 63, 1^{ma} riga dal basso :
errata : END example;
corrigge : END assegnazioni_concorrenti;
- pag. 66, 16^{ma} riga dall'alto :
errata : ...quando cambierà *a* oppure *b*.
corrigge : ...quando cambierà *a* oppure *b* (o entrambi).
- pag. 74, 10^{ma} riga dal basso e pag. 75, 19^{ma} riga dall'alto:
errata : index := '0' ;
corrigge : index := 0 ;
- pag. 74, 23^{ma} riga dall'alto: *manca l'etichetta opzionale:*
errata: WHILE boolean_expression
corrigge: [etichetta:] WHILE boolean_expression
- pag. 74, 26^{ma} riga dall'alto: *manca l'etichetta opzionale:*
errata: END LOOP
corrigge: END LOOP [etichetta:]
- pag. 104, nona riga dal basso: *segnali mancanti nella sensitivity list del processo:*
errata: *nella sensitivity list non compaiono i segnali i e j*
corrigge: *nella sensitivity list **devono** comparire i segnali i e j*
- pag. 106, 29^{ma} e ma 31^{ma} riga: *argomenti della funzione invertiti:*
errata: conv_std_logic_vector (19,0);
corrigge: conv_std_logic_vector (0,19);
- pag. 106, 34^{ma} riga: *argomenti della funzione invertiti:*
errata: conv_std_logic_vector (19,512);
corrigge: conv_std_logic_vector (512,19);
- pag. 111, Fig. 4.13:
errata: *il blocchetto ">" ha un ingresso collegato al bus orizzontale nella parte inferiore della figura;*
corrigge: *tale ingresso va collegato invece al bus orizzontale nella parte alta della figura (il primo bus a partire dall'alto);*

- pag. 113, 6^{ta} riga dall'alto: **errata:** *manca un segnale di controllo di tristate buffer*
corrigere: *inserire segnale "Mem_data_to_bus3"*
- pag. 133, Fig. 5.6: **errata:** *Il sottodiagramma ASM è indicato con il nome "TFR".*
corrigere: *Sostituire con "TRF".*
- pag. 133, Fig. 5.6, pag. 134, Fig. 5.8 e pag. 136, Fig. 5.11:
errata: *I blocchi condizionali (rombi) relativi al bit IR(13) sono privi di valori '0' e '1' accanto alle rispettive vie di uscita dalla condizione.*
corrigere: *assegnare i valori '0' e '1' a piacere; sono ininfluenti ai fini dell'esempio illustrato nel testo.*
- pag. 134, Fig. 5.8 :
errata : *le operazioni LOAD2 e STORE2 sono racchiuse in blocchi con angoli rotondi (simbolo di operazioni condizionate).*
corrigere : *le operazioni LOAD2 e STORE2 sono racchiuse in blocchi con angoli squadrati (simbolo di stati).*
- pag. 134, didascalia della Fig. 5.9 :
errata : *...ALU e TRF...*
corrigere : *...MEM e BRN...*
- pag. 141, Fig. 5.12: **errata:** *Sotto ai registri cablati vi è un registro indicato con "P".*
corrigere: *Sostituire il nome "P" con "PC" (Program Counter).*
- pag. 178, Tab. 6.1: **errata:** *Stato Transport*
corrigere: *Strato Transport*
- pag. 194, 4^{ta} riga dal basso :
errata : *...in maggior in dettaglio.*
corrigere : *...in maggior dettaglio.*
- pag. 208, Fig. 7.17 : **errata:** *l'istruzione ST e' classificata insieme con la LD.*
corrigere: *l'istruzione ST va classificata insieme alle istruzioni MOV, ADD, ecc.).*
- pag. 208, Fig. 7.35 e pag. 209, Fig. 7.36 :
errata: *l'istruzione ADDFP e' erroneamente nel campo ALU.*
corrigere: *l'istruzione ADDFP va scritta nel campo FP (colonna immediatamente piu' a destra). Irrilevante ai fini dell'esempio.*
- pag. 212, Fig. 7.22: **errata:** *la 13^{ma} e la 14^{ma} istruzione del programma sono riportate in ordine inverso*
corrigere: *la 13^{ma} istruzione, cioe' ADD r9,r9,r8, e la 14^{ma} istruzione, cioe' LD r6,(r4), vanno scambiate fra loro.*
- pag. 229, Fig. 7.33: **errata:** *Istruzione BRZ: branch penalty 3, salta se r = 0;*
corrigere: *Istruzione BRZ: branch penalty 2, salta se r ≠ 0;*

- pag. 310, 6^{ta} e 7^{ma} riga dal basso :
errata : ... $\overline{ps0} \cdot ps1$
corrigere : ... $ps0 \cdot \overline{ps1}$
La Fig. va corretta di conseguenza: i due transistor con il drain connesso alla seconda linea orizzontale del piano degli AND, vanno spostati orizzontalmente in modo da avere i gate connessi alle linee verticali $\overline{ps0}$ e $ps1$ (e non $\overline{ps1}$ e $ps0$ come nella Fig. originale).
- pag. 339, 17^{ma} riga dal basso :
errata : ... (cioà costituite sempre da ...
corrigere : ... (cioè costituite sempre da ...
- pag. 359, 21^{ma} riga dal basso :
errata: ... per l'ingresso A la W totale dei transistori è 4, mentre per per l'ingresso C , ad esempio, è 6.
corrigere: ... per l'ingresso A la W totale dei transistori è 6, mentre per per l'ingresso C , ad esempio, è 10.
- pag. 359, 18^{ma} riga dal basso :
errata : ... il *logical effort* riferito all'ingresso A è pari a $4/3$, mentre quello riferito all'ingresso C è pari a $6/3 = 2$.
corrigere : ... il *logical effort* riferito all'ingresso A è pari a $6/3 = 2$, mentre quello riferito all'ingresso C è pari a $10/3$.
- pag. 366, 12^{ma} riga dall'alto :
errata : formula $D = \sum d_i \cdot \Sigma \dots$
corrigere : formula $D = \sum d_i = \Sigma \dots$
- pag. 374, 8^{va} riga dal basso :
errata : manca una "Nota" relativa ai *pass-transistor*
corrigere : **Nota** : il suddetto criterio di dimensionamento dei *pass-transistor* porta ad una leggera sottostima del ritardo nel caso di trasmissione di livello di tensione alta in uscita (a causa del fatto che un *pass-transistor* a canale n trasmette debolmente le tensioni alte).
 Questo fenomeno si può aggirare utilizzando *transmission-gate* in luogo dei *pass-transistor* semplici
- pag. 374, 8^{va} riga dal basso :
errata : manca una "Nota importante" relativa ai *transmission-gate*
corrigere : **Nota importante**: (dimensionamento dei *transmission-gate*):
 Poiché i due transistor (canale p e canale n) di un *transmission-gate* vengono sempre attivati contemporaneamente, si potrebbe pensare di dimensionarli con una larghezza di canale dimezzata rispetto al caso di un *pass-transistor* semplice.
 In realtà, il transistor di tipo n trasmette bene il livello di tensione basso ma trasmette debolmente il livello alto (e viceversa il transistor di tipo p). A causa di questa

asimmetria, le simulazioni Spice mostrano che il dimensionamento che meglio approssima l'inverter minimale è dimensionare il transistor a canale n come se fosse un *pass-transistor* semplice, e dimensionare il transistor a canale p uguale (N.B. non il doppio) a quello a canale n .

- pag. 374, 8^{va} riga dal basso :
errata : ...l'insieme inverter più *pass-transistor* avrà $g = 2$.
corrigere : ...l'ingresso dell'inverter che pilota il *drain* del *pass-transistor* avrà $g = 2$, mentre l'ingresso sul *gate* del *pass-transistor* avrà $g = 2/3$.
- pag. 375, Tab. 12.5 : **errata** : *il logical effort g indicato per il circuito XNOR e' 2*
corrigere : *il logical effort g del circuito XNOR e' 2/3*
- pag. 375, Tab. 12.5 : **errata** : *il logical effort g indicato per il circuito Carry Lookahead e' (1/3) Σ...*
corrigere : *il logical effort g del circuito Carry Lookahead e' (1/3)(m + 1)*
- pag. 375, Tab. 12.5 : **errata** : *il parasitic delay p indicato per il circuito Carry Lookahead e' (1/3)(2+Σ...*
corrigere : *il parasitic delay p del circuito Carry Lookahead e' (1/3)(m + 4)*
- pag. 388, 4^{ta} riga dal basso:
errata : ...dalla funzione logica realizzato dalla stadio CMOS...
corrigere : ...dalla funzione logica realizzata dallo stadio CMOS...
- pag. 434, 5^{ta} riga dal basso:
errata : ...un dato, cosa che può avvenire in punto...
corrigere : ...un dato, cosa che può avvenire in punti...